

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-282181

(P2001-282181A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
3/20	6 1 1		6 1 1 H
	6 1 2		6 1 2 J
	6 2 1		6 2 1 G
			6 2 4 N

審査請求 未請求 請求項の数10 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2000-92131 (P2000-92131)

(22) 出願日 平成12年 3 月29日 (2000. 3. 29)

(71) 出願人 599132708

富士通日立プラズマディスプレイ株式会社

神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号

(72) 発明者 小野澤 誠

神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号

富士通日立プラズマディスプレイ株式会

社内

(72) 発明者 大沢 通孝

神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号

富士通日立プラズマディスプレイ株式会

社内

(74) 代理人 100077517

弁理士 石田 敬 (外 4 名)

最終頁に続く

(54) 【発明の名称】 プラズマディスプレイ装置及びその製造方法

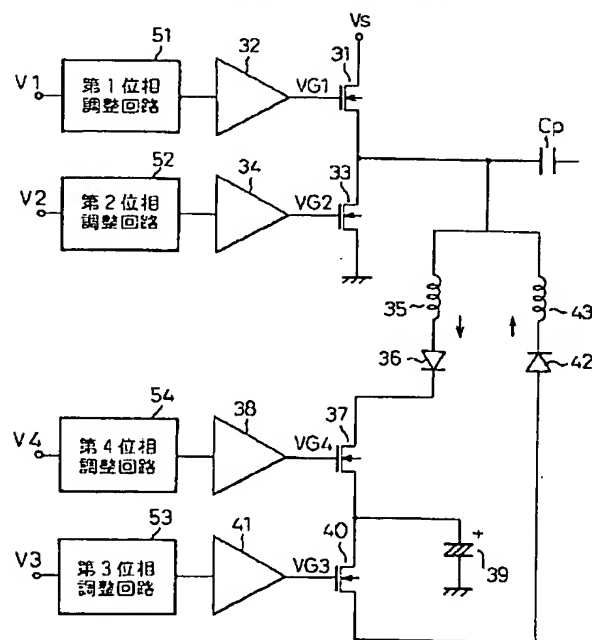
(57) 【要約】

【課題】 サステインパルスの立ち上り・立ち下りのタイミングのずれや形状のずれのないサステイン回路を有し、低消費電力で誤動作しないPDP装置の実現。

【解決手段】 隣接して交互に配置された第1の電極 (X) 11及び第2の電極 (Y) 12と、第1の電極及び第2の電極の伸びる方向と直交する方向に伸びるアドレス電極13とを有するプラズマディスプレイパネルと、第1の電極にサステインパルスを供給するXサステイン回路18と、第2の電極にサステインパルスを供給するYサステイン回路19とを備えるプラズマディスプレイ装置において、Xサステイン回路18とYサステイン回路19は、サステインパルスの変化エッジのタイミングを調整する位相調整回路51-54 を備える。

図7

本発明の実施例のサステイン回路



【特許請求の範囲】

【請求項1】 隣接して交互に配置された第1の電極及び第2の電極と、該第1の電極及び第2の電極の伸びる方向と直交する方向に伸びるアドレス電極とを有するプラズマディスプレイパネルと、前記第1の電極にサステインパルス进行供給するXサステイン回路と、前記第2の電極にサステインパルス进行供給するYサステイン回路とを備えるプラズマディスプレイ装置において、前記Xサステイン回路と前記Yサステイン回路は、前記サステインパルスの变化エッジのタイミングを調整する位相調整回路を備えることを特徴とするプラズマディスプレイ装置。

【請求項2】 請求項1に記載のプラズマディスプレイ装置であって、

前記Xサステイン回路と前記Yサステイン回路は、前記プラズマディスプレイパネルの表示容量との間で形成される共振回路を有し、前記サステインパルスの印加を解除する時のエネルギーを回収して前記サステインパルスの次の印加時に使用する電力回収回路を備えるプラズマディスプレイ装置。

【請求項3】 請求項2に記載のプラズマディスプレイ装置であって、

前記Xサステイン回路と前記Yサステイン回路は、前記サステインパルスを供給する経路と高電位電源線及び低電位電源線との間に接続された第1及び第2の出力素子と、

前記経路と前記電力回収回路の接続状態を、前記電力回収回路から前記経路に電力を供給する状態に切り換える第3の出力素子と、前記経路から前記電力回収回路に電力を回収する状態に切り換える第4の出力素子と、前記第1乃至第4の出力素子を駆動する第1乃至第4ドライブ回路とを備え、

前記位相調整回路は、前記第3の出力素子がオンしてから前記第1の出力素子がオンするまでの時間差、及び前記第4の出力素子がオンしてから前記第2の出力素子がオンするまでの時間差を調整可能であるプラズマディスプレイ装置。

【請求項4】 請求項3に記載のプラズマディスプレイ装置であって、

前記位相調整回路は、前記第1乃至第4ドライブ回路の前段にそれぞれ設けた第1乃至第4の位相調整回路を備えるプラズマディスプレイ装置。

【請求項5】 請求項1又は2に記載のプラズマディスプレイ装置であって、

前記プラズマディスプレイパネルは、前記第2の電極の一方に隣接する前記第1の電極とで第1の表示ラインを形成し、前記第2の電極の他方に隣接する前記第1の電極とで第2の表示ラインを形成し、1画面の表示フィールドを複数のサブフィールドで構成し、表示を行うサブフィールドを組み合わせることにより階調表示を行い、

前記Xサステイン回路は、前記第1の電極の奇数番目の電極に前記サステインパルスを供給する第1Xサステイン回路と、偶数番目の電極に前記サステインパルスを供給する第2Xサステイン回路とを備え、

前記Yサステイン回路は、前記第2の電極の奇数番目の電極に前記サステインパルスを供給する第1Yサステイン回路と、偶数番目の電極に前記サステインパルスを供給する第2Yサステイン回路とを備えるプラズマディスプレイ装置。

【請求項6】 請求項5に記載のプラズマディスプレイ装置であって、

前記第1及び第2Xサステイン回路と、前記第1及び第2Yサステイン回路は、それぞれ前記位相調整回路を備え、

前記第1Xサステイン回路の出力するサステインパルスと、前記第1又は第2Yサステイン回路の出力するサステインパルスとの立ち上がりタイミング又は立ち下がりタイミングの差、及び前記第2Xサステイン回路の出力するサステインパルスと、前記第1又は第2Yサステイン回路の出力するサステインパルスとの立ち上がりタイミング又は立ち下がりタイミングの差が所定値以下になるように調整されているプラズマディスプレイ装置。

【請求項7】 請求項6に記載のプラズマディスプレイ装置であって、

前記所定値は $\pm 30 \text{ ns}$ であるプラズマディスプレイ装置。

【請求項8】 請求項1から7のいずれか1項に記載のプラズマディスプレイ装置であって、

前記位相調整回路は、前記プラズマディスプレイパネルの前記第1又は第2の電極に前記サステインパルスを印加した時の波形を観察して設定されるプラズマディスプレイ装置。

【請求項9】 隣接して交互に配置された第1の電極及び第2の電極と、該第1の電極及び第2の電極の伸びる方向と直交する方向に伸びるアドレス電極とを有するプラズマディスプレイパネルと、前記第1の電極にサステインパルスを供給するXサステイン回路と、前記第2の電極にサステインパルスを供給するYサステイン回路とを備えるプラズマディスプレイ装置の製造方法において、

前記Xサステイン回路と前記Yサステイン回路を構成する回路素子の信号に対する遅延時間を測定し、該遅延時間に応じて分類し、

前記サステインパルスの变化エッジのタイミングが所定の誤差範囲内に入るように、分類した回路素子の組み合わせを選択し、

選択した組合せの回路素子を装着することを特徴とするプラズマディスプレイ装置の製造方法。

【請求項10】 請求項9に記載のプラズマディスプレイ装置の製造方法であって、

前記プラズマディスプレイパネルは、前記第2の電極の一方に隣接する前記第1の電極とて第1の表示ラインを形成し、前記第2の電極の他方に隣接する前記第1の電極とて第2の表示ラインを形成し、1画面の表示フィールドを複数のサブフィールドで構成し、表示を行うサブフィールドを組み合わせることにより階調表示を行い、前記Xサステイン回路は、前記第1の電極の奇数番目の電極に前記サステインパルス进行供給する第1Xサステイン回路と、偶数番目の電極に前記サステインパルスを供給する第2Xサステイン回路とを備え、前記Yサステイン回路は、前記第2の電極の奇数番目の電極に前記サステインパルスを供給する第1Yサステイン回路と、偶数番目の電極に前記サステインパルスを供給する第2Yサステイン回路とを備え、回路素子の組み合わせを選択する時には、前記第1Xサステイン回路の出力するサステインパルスと、前記第1又は第2Yサステイン回路の出力するサステインパルスとの立ち上がりタイミング又は立ち下がりタイミングの差、及び前記第2Xサステイン回路の出力するサステインパルスと、前記第1又は第2Yサステイン回路の出力するサステインパルスとの立ち上がりタイミング又は立ち下がりタイミングの差が所定値以下になるように、前記第1及び第2Xサステイン回路と前記第1及び第2Yサステイン回路の回路素子を選択するプラズマディスプレイ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイ装置及びその製造方法に関し、特に消費電力を低減するためにサステイン回路に電力回収回路を有するプラズマディスプレイ装置、及び複数の第1及び第2の電極を隣接して配置し、すべての電極間で表示ラインを形成するALIS（登録商標）方式のプラズマディスプレイパネルの駆動方法及びプラズマディスプレイ装置に関する。

【0002】

【従来の技術】プラズマディスプレイパネル（PDP）は、自己発光型であるので視認性が高く、薄型で大画面表示及び高速表示が可能であることから、CRTに替わる表示パネルとして注目されている。基本的なPDPの構成については、特開平7-160219号公報、特開平9-160525号公報及び特開平9-325735号公報などに開示されているので、ここでは詳細な説明は省略し、本発明に直接関係する点についてのみ説明する。

【0003】図1は、一般的なPDP装置の全体構成を示すブロック図である。PDP10は、n本のX電極11とY電極12とを隣接して交互に配置して、n組のX電極11とY電極12の組を形成し、各組のX電極11とY電極12の間で表示のための発光を行う。Y電極と

X電極は表示電極と呼ばれるが、維持電極又はサステイン電極とも呼ばれることもある。アドレス電極13は、表示電極の伸びる方向に垂直な方向に設けられ、X電極11とY電極12の組との交点部分に表示セルが形成される。

【0004】Y電極12はスキヤンドライバ14に接続されている。スキヤンドライバ14にはY電極の本数分のスイッチ16が設けられており、アドレス期間には走査信号発生回路15からのスキヤンパルスが順に印加されるように切り換えられ、維持放電期間には、Yサステイン回路19からのサステインパルスが同時に印加されるように切り換えられる。X電極11はXサステイン回路18に共通に接続され、アドレス電極13はアドレスドライバ17に接続される。画像信号処理回路21は、画像信号をPDP装置内部での動作に適した形式に変換した後、アドレス回路17に供給する。駆動制御回路20は、PDP装置の各部を制御する信号を発生して供給する。

【0005】図2は、PDP装置の駆動波形を示すタイムチャートである。PDP装置は、1つの表示画面を所定の周期毎に書き換えながら表示しており、1表示周期を1フィールドと称する。階調表示を行う場合には、1フィールドを更に複数のサブフィールドに分割し、表示セル毎に発光するサブフィールドを組み合わせる表示を行う。各サブフィールドは、全表示セルを初期化するリセット期間と、全表示セルを表示する画像に対応した状態に設定するアドレス期間と、設定された状態に応じて各表示セルを発光させる維持放電（サステイン）期間とで構成される。維持放電期間には、X電極とY電極に交互に維持（サステイン）パルスが印加され、アドレス期間に発光するように設定された表示セルで維持放電が行われ、これが表示のための発光になる。

【0006】PDP装置では、維持放電期間に、電極間に最大で200V程度の電圧を高周波数のパルスとして印加する必要があり、特に、サブフィールド表示で階調表示を行うものではパルス幅は数 μ sである。このような高電圧で且つ高周波の信号で駆動するため、一般にPDP装置の消費電力は大きく、省電力化が要望されている。米国特許第4,070,663号は、EL（エレクトロルミネッセンス）装置等の容量性表示ユニットの消費電力を低減するために、表示ユニットの容量と共振回路を構成するインダクタンス素子を設ける制御方法を開示している。また、米国特許第4,866,349号と米国特許第5,081,400号はインダクタンス素子で構成される電力回収回路を有するPDPパネル用のサステイン（維持放電）ドライバとアドレスドライバを開示している。更に、特開平7-160219号公報は、3電極型の表示ユニットにおいて、Y電極側に、Y電極が高電位から低電位に切り換えられる時に印加されている電力を回収する回収経路を形成するインダクタンスと、Y電極が低電位から高電位

に切り換えられる時に蓄積した電力を印加する印加経路を形成するインダクタンスの2つのインダクタンスを設ける構成を開示している。

【0007】図3は、電力を回収する回収経路と蓄積した電力を印加する印加経路を分離した電力回収回路を有するサステイン回路の基本構成例を示す図である。なお、信号V1～V4を発生する回路も設けられているが、ここでは省略してある。参照符号CpはPDPのX電極とY電極で形成される表示セルの駆動容量を示す。ここでは、一方の電極のサステイン回路を示したが、他方の電極も類似のサステイン回路に接続される。図3の回路で、出力素子(トランジスタ)31と33及びドライブ回路32と34で構成される部分は、電力回収回路のない場合のサステイン回路であり、出力素子(トランジスタ)37と40、ドライブ回路38と41、インダクタンス素子35と43、容量39及びダイオード36と42で構成される部分が電力回収回路である。信号V1とV2は、それぞれドライブ回路32と34に入力され、そこから出力される信号VG1とVG2が出力素子(トランジスタ)31と33のゲートに印加される。信号V1が「高(H)」の時には出力素子31がオンし、Hレベルの信号が電極に印加される。この時、信号V2は「低(L)」で、出力素子33はオフである。信号V1がLになって出力素子31がオフすると同時に、信号V2がHになって出力素子33がオンして電極にはグラウンドレベルが印加される。

【0008】電力回収回路のある場合には、サステインパルスを印加する時には、信号V1がHになる前に、信号V2がLになり出力素子33がオフした後、信号V3がHになって出力素子40がオンして容量39、ダイオード42、インダクタンス43及び容量Cpで共振回路が形成され、容量39に蓄積された電力が電極に供給され、電極の電位が上昇する。この電位の上昇が終了する直前に信号V3がLになって出力素子40がオフし、更に信号V1がHになって出力素子31がオンし、電極の電位をVsに固定する。サステインパルスの印加を終了する時には、まず信号V1がLになり出力素子31がオフした後、信号V4がHになって出力素子37がオンして容量39、ダイオード36、インダクタンス35及び容量Cpで共振回路が形成され、容量Cpに蓄積された電極が容量39に供給され、容量39の電圧が上昇する。これにより、電極に印加されたサステインパルスにより容量Cpに蓄積された電力が容量39に回収される。この電極の電位の低下が終了する直前に信号V4がLになって出力素子37がオフし、更に信号V2がHになって出力素子33がオンし、電極の電位をグラウンドに固定する。維持放電期間の間は、サステインパルス数だけ上記の動作を繰り返す。以上の構成により、維持放電に伴う消費電力を低減することが可能になる。

【0009】一方、PDP装置では高精細化が求められ

ており、特許第2801893号はすべての表示電極間で表示のための発光を行う方式を開示している。この方式はALIS(登録商標)方式と呼ばれるので、ここでもこの語を使用する。ALIS方式の詳細な構成は特許第2801893号に開示されており、ここでは本発明に関係する点についてのみ簡単に説明する。

【0010】図4は、ALIS方式のPDPの全体ブロック図である。図示のように、ALIS方式のPDPでは、n本のY電極(第2の電極)12-O及び12-Eとn+1本のX電極(第1の電極)11-O及び11-Eを隣接して交互に配置して、すべての表示電極(Y電極とX電極)の間で表示発光を行う。従って、2n+1本の表示電極で、2n本の表示ラインが形成される。つまり、ALIS方式は、図1の構成と同等の表示電極数で2倍の精細度が実現できる。また、放電空間を無駄なく使用でき、かつ電極などによる遮光が小さいため、高い開口率が得られるので高輝度が実現できるという特徴を有する。ALIS方式では、すべての表示電極間を表示のための放電に利用するが、それらの放電を同時に発生することはできない。そこで、表示を奇数ラインと偶数ラインで時間的に分割して行う、いわゆるインターレース走査を行う。奇数フィールドでは奇数番目の表示ラインで表示を行い、偶数フィールドでは偶数番目の表示ラインで表示を行い、全体としては奇数フィールドと偶数フィールドの表示を合わせた表示が得られる。

【0011】Y電極はスキヤンドライバ14に接続されている。スキヤンドライバ14にはスイッチ16が設けられており、アドレス期間には順にスキヤノパルスが印加されるように切り換えられ、維持放電期間には、奇数Y電極12-Oは第1Yサステイン回路19-Oに、偶数Y電極12-Eは第2Yサステイン回路19-Eに接続されるように切り換えられる。奇数X電極11-Oは第1Xサステイン回路18-Oに、偶数X電極11-Eは第2Xサステイン回路18-Eに接続される。アドレス電極13は、アドレスドライバ17に接続される。画像信号処理回路21と駆動制御回路20は、図1で説明したのと同様の動作を行う。

【0012】図5は、ALIS方式の維持放電期間における駆動波形を示す図であり、図5(A)は奇数フィールドの波形を、図5(B)は偶数フィールドの波形を示す。奇数フィールドでは、電極Y1とX2に電圧Vsを印加し、X1とY2をグラウンドレベルとし、X1とY1間及びX2とY2間で、すなわち奇数表示ラインで放電を発生させる。この時、偶数表示ラインのY1とX2の間の電位差はゼロであり、放電は発生しない。同様に、偶数フィールドでは、電極X1とY2に電圧Vsを印加し、Y1とX2をグラウンドレベルとし、Y1とX2間及びY2とX1間で、すなわち偶数表示ラインで放電を発生させる。リセット期間やアドレス期間の駆動波形についての説明は省略する。

【0013】

【発明が解決しようとする課題】図3に示したような電力回収回路では、電力の回収と印加を効率的に行うことが重要であり、高い電力回収率を実現することが望まれている。高い電力回収率は、出力素子31、33、37及び40のオン・オフのタイミングに影響される。図6はこの影響を説明する図であり、図6(A)はクランプのタイミングが早くなった場合を示し、図6(B)はクランプのタイミングが遅くなった場合を示す。

【0014】前述のように、サステインパルスを印加する時には、出力素子40がオンして容量39に蓄積された電力を電極に供給し、電極の電位の上昇が終了する直前に信号V3がLになって出力素子40がオフすると共に信号V1がHになって出力素子31がオンし、電極の電位を V_s に固定(クランプ)する。ここで、図6

(A)に示すように、出力素子40がオフする前に出力素子31がオンすると、容量39に蓄積された電力により電極の電位を上昇させている途中に出力素子31がオンして電極を電圧 V_s の電源に接続するため、残りの分は電源からの電力により上昇することになり、容量39に蓄積された電力の一部が無駄になる。同様に、サステインパルスを印加を終了する時にも、出力素子37がオンして容量39に電力を回収している途中に出力素子33がオンすると、十分に電力を回収し終わらないうちにグラウンドにクランプされ、電力の回収が不十分になる。

【0015】また、図6(B)に示すように、サステインパルスを印加する時に出力素子40がオフしてから遅れて出力素子31がオンすると、容量39に蓄積された電力により電極の電位の上昇が終了し、逆に電極の電位が低下始めてから出力素子31がオンして電極を電圧 V_s の電源にクランプするため、低下した電位を上昇させる必要がありその分余計な電力が必要となる。同様に、サステインパルスを印加を終了する時にも、出力素子37がオフしてから遅れて出力素子33がオンすると、一旦低下した電位が再び上昇し始めてからグラウンドにクランプするため、上昇した電位を低下させる必要がありその分余計な電力が必要となる。

【0016】以上のように、サステイン回路の出力素子31、33、37及び40がオン・オフするタイミングがずれると電力回収率が低下し、消費電力が増加するという問題を生じる。出力素子31、33、37及び40がオン・オフするタイミングは、信号V1、V2、V3及びV4の変化タイミングに、ドライブ回路32、34、38及び41の遅延時間と出力素子31、33、37及び40の遅延時間を加えたタイミングである。信号V1、V2、V3及びV4の変化タイミングは、比較的高精度に設定可能であるが、ドライブ回路32、34、38及び41の遅延時間と出力素子31、33、37及び40の遅延時間は、使用する素子の特性のばらつきに応じてばらつく。そのため、PDP装置毎に電力回収率

がばらつき、理想的な場合に比べて電力回収率が低下し、消費電力が増加するという問題を生じる。

【0017】また、上記のように回路素子の遅延時間がばらついて、サステインパルスの形状やタイミングがずれると、正常な動作が行えなくなる可能性が増加する。通常、動作電圧 V_s の動作可能な最大値 $V_s(\max)$ と最小値 $V_s(\min)$ との差 ΔV_s を動作マージンと呼ぶが、回路素子の遅延時間がばらついて、サステインパルスの形状やタイミングがずれると、動作マージン ΔV_s が低下する。これは装置の動作の安定性が低下することを意味する。

【0018】また、ALIS方式では、同じ電圧が印加される隣接する電極間では放電は生じないが、この印加タイミングにずれが生じると、表示を行わない表示ラインでも一時的に放電が発生し、アドレス期間に書き込まれた壁電荷が減少し、正常な表示が行われないという問題を生じる場合がある。例えば、図5(A)において、電極Y1にサステインパルスを印加してから遅延して電極X2にサステインパルスが印加された場合、一時的に電極Y1はHで電極X2はLの状態が発生するので、電極Y1とX2の間で誤放電が発生する可能性がある。このような誤放電は電極X2にサステインパルスが印加されると停止するが、誤放電により電極Y1及びX2の壁電荷が減少し、正常な表示発光が行われなくなる場合がある。

【0019】以上のように、サステイン回路の各回路素子の遅延時間がばらつき、それに応じてサステインパルスのオン・オフのタイミングのずれや形状のずれを生じ、消費電力が増加したり、誤動作するという問題があった。本発明は、このような問題を解決するもので、サステインパルスの立ち上り・立ち下りのタイミングのずれや形状のずれのないサステイン回路の実現し、低消費電力で誤動作しないPDP装置の実現を目的とする。

【0020】

【課題を解決するための手段】上記目的を実現するため、本発明のPDP装置は、サステイン回路にサステインパルスの変化エッジのタイミングを調整する位相調整回路を設ける。位相調整回路を調整して、サステインパルスの変化エッジのタイミングを最適な状態にすれば、電力回収回路を効率よく動作させることができるので、消費電力を低減できる。また、各サステイン回路から印加されるサステインパルスの立ち上り・立ち下りのタイミングが相互に最適な条件になるので、誤動作や誤放電を生じなくなる。

【0021】本発明は、電力回収回路を有するサステイン回路を備えるPDP装置や、ALIS方式のPDP装置に適用すると、特に効果的である。なお、図3に示すような電力回収回路を有するサステイン回路の場合には、位相調整回路は、第3の出力素子がオンしてから第1の出力素子がオンするまでの時間差、及び第4の出力

素子がオンしてから第2の出力素子がオンするまでの時間差を調整可能であることが必要である。

【0022】また、図4に示したALIS方式の場合には、誤放電を防止するには、隣接する電極間に印加するサステインパルスのタイミングが調整可能であればよく、第1Xサステイン回路の出力するサステインパルスと、第1又は第2Yサステイン回路の出力するサステインパルスとの立ち上がりタイミング又は立ち下がりタイミングの差、及び第2Xサステイン回路の出力するサステインパルスと、第1又は第2Yサステイン回路の出力するサステインパルスとの立ち上がりタイミング又は立ち下がりタイミングの差が所定値以下、例えば、 $\pm 30\text{ ns}$ 以内になるように調整する。

【0023】位相調整回路による調整を、実際にPDPに実装した状態で行えば、PDPの電極の実際の容量に応じて最適な状態に設定できる。なお、サステイン回路に使用する回路要素を遅延時間に応じて分類し、サステインパルスの変化エッジのタイミングが所定の誤差範囲内に入るように、分類した回路素子の組み合わせを選択し、選択した組合せの回路素子を装着するようにしてもよい。

【0024】

【発明の実施の形態】以下、本発明をALIS方式のPDP装置に適用した実施例を説明する。本発明の実施例のPDP装置は、図4に示したような全体構成を有し、第1及び第2Xサステイン回路18-O、18-Eと第1及び第2Yサステイン回路19-O、19-Eは、図7に示す構成を有する。図3の場合と同様に、信号V1～V4を発生する回路については図示していない。

【0025】実施例のサステイン回路は、図3に示した構成とは、各ドライブ回路32、34、38、41の前段に、第1位相調整回路51～第4位相調整回路54が設けられている点異なる。たとえ、出力素子31、33、37、40及びドライブ回路32、34、38、41の遅延時間がばらついていても、第1位相調整回路51～第4位相調整回路54における遅延量を調整することにより、出力素子31、33、37、40のオン・オフするタイミングを、図8に示すように最適な状態にすることが可能である。

【0026】図9は、本発明による消費電力低減効果を示す図である。図示のように、サステインパルス数に比例してサステイン回路における消費電力が増加する。その増加の比例係数は、電力回収回路を使用しない時にはもっとも大きく、図3に示したような電力回収回路を使用することによりかなり小さくでき、本発明を使用することにより更に小さくでき、消費電力を低減できる。

【0027】図10は、本発明による動作マージンの改善効果を示す図である。動作マージンとしては、前述の動作可能な電圧の最大値 $V_s(\text{max})$ と最小値 $V_s(\text{min})$ の差 ΔV_s を使用した。図示のように、放電

電流が増加するに従って動作マージンが低下するが、本発明を適用すると、図3の構成に比べて動作マージンの低下が小さい。

【0028】次に、位相調整回路の回路構成について説明する。位相調整回路は、信号の遅延時間を調整するもので、公知の各種の遅延回路が使用できる。図11から図13は、位相調整回路の例を示す図である。図11の(A)は、可変抵抗VRと容量Cを組み合わせた遅延回路であり、(B)は可変インダクタンスVLと容量Cを組み合わせた遅延回路であり、(C)は粗調整用の可変抵抗VR1と微調整用可変抵抗VR2と容量Cを組み合わせた遅延回路であり、(D)は粗調整用の可変インダクタンスVL1と微調整用可変インダクタンスVL2と容量Cを組み合わせた遅延回路であり、(E)はトリミングにより抵抗値が調整可能な抵抗TRと容量Cを組み合わせた遅延回路であり、(F)はトリミングによりインダクタンス値が調整可能なインダクタンスTLと容量Cを組み合わせた遅延回路であり、(G)は粗調整用のトリミング抵抗TR1と微調整用トリミング抵抗TR2と容量Cを組み合わせた遅延回路であり、(H)は粗調整用のトリミングインダクタンスVL1と微調整用トリミングインダクタンスVL2と容量Cを組み合わせた遅延回路であり、図12の(I)と(J)は(G)と

(H)の入力部と出力部にバッファ回路B1とB2を設けた回路であり、(K)は抵抗アレイRAとスイッチアレイSAを組み合わせて抵抗値を選択できるようにして容量Cを組み合わせた回路であり、(L)はインダクタンスアレイLAとスイッチアレイSAを組み合わせてインダクタンス値を選択できるようにして容量Cを組み合わせた回路であり、図13の(M)は位相制御信号により抵抗値が外部から設定できる電子ボリュームEVRと容量Cを組み合わせた回路であり、(N)は位相制御信号により遅延量が選択できるディレイラインDLを使用した回路であり、(O)はドライブ回路Dの前に位相シフト回路PSを設け、出力素子Tの実際の出力 V_{out} を出力電圧検出回路ODで検出し、位相差検出回路PDDで入力信号Vinと出力電圧検出回路ODの検出結果から位相差を求め、それに応じて位相シフト回路PSの遅延量を調整する回路であり、(P)は(O)の回路で出力電圧検出回路ODの代わりにドライブ回路Dの出力を検出する駆動電圧検出回路DDを設けた点異なり、出力素子Tの遅延時間は調整できない。なお、図示していないが、容量値が可変の可変容量Cを使用することも可能である。

【0029】次に、実施例において、各サステイン回路の各位相調整回路をどのように調整して設定するかについて説明する。図14は、位相調整回路の設定処理を示すフローチャートである。ステップ101では出力素子の遅延時間を測定し、ステップ102では前記の出力素子を組み合わせて使用するドライブ(駆動)回路の遅延

時間を測定し、ステップ103では所定の遅延時間から上記の2つの遅延時間を減算して組み合わせて使用する位相調整回路の遅延時間を算出し、ステップ104では算出した遅延時間に基づいて組み合わせて使用する位相調整回路の遅延時間を設定する。このような処理をすべての組について行う。以上の処理により、各出力素子は所定のタイミングでオン・オフすることになる。従って、消費電力は最大限に低減され、誤動作や誤放電も発生しなくなる。

【0030】図14の処理は、出力素子及びドライブ回路の遅延時間のばらつきを補正する処理であり、サステイン回路をPDP装置に装着する前に行う処理である。しかし、PDPの電極間の容量も製造によりばらつき、それにより電力回収回路の共振回路の時定数なども変化するので、PDPに応じてサステインパルスのタイミングを最適な状態に設定するのが望ましい。図15は、サステイン回路で駆動するPDPのばらつきを含めて位相調整回路の遅延時間を最適値に設定する処理を示すフローチャートである。

【0031】ステップ111では、サステイン回路をPDPを含む装置に装着して組み立てる。なお、完全に組み立てる必要はなく、動作状態になればよい。ステップ112では、第1Xサステイン回路18-O、第2Xサステイン回路18-E、第1Yサステイン回路19-O、第2Yサステイン回路18-Eのいずれを調整対象とするかを選択する。ステップ113では、選択した回路のどの組、具体的には第1～第4位相調整回路51～54のいずれを調整対象とするかを選択する。ステップ114では、PDPの選択した組に係る駆動波形を測定し、ステップ115で所定の基準信号に対して許容範囲内であるかを判定し、範囲外であればステップ116で位相調整回路を調整して、許容範囲内になるようにステップ114から116を繰り返す。

【0032】ステップ117ではすべての組について上記の処理が終了したかを判定し、残っている組があればステップ118で調整対象の組を変更してステップ114に戻る。以上のようにして、調整対象の回路の4つの位相調整回路の調整が終了し、その回路の出力するサステインパルスは所定のタイミングでオン・オフする。更に、ステップ119ではすべての回路について上記の処理が終了したかを判定し、残っている回路があればステップ120で調整対象の回路を変更してステップ114に戻る。以上のようにして、すべての回路の調整が終了する。

【0033】上記の実施例では、位相調整回路を設けたが、サステイン回路に使用する回路要素の遅延時間を測定し、合計の遅延時間が許容範囲内になるような組合せ、具体的には出力素子とドライブ回路の遅延時間の合計が所定値に対して許容範囲内になるような組合せを選択してPDP装置に装着するようにしても、サステイン

パルスのタイミングを最適にできる。図16は、そのための製造工程における処理を示すフローチャートである。

【0034】ステップ131では出力素子の遅延時間を測定し、ステップ132で遅延時間に応じて分類する。これらの処理と並行して、ステップ133ではドライブ回路の遅延時間を測定し、ステップ134で遅延時間に応じて分類する。以上の処理により、出力素子とドライブ回路が遅延時間に応じてグループに分類される。ステップ135では、合計の遅延時間が同じになる組合せを作る。ここで、例えば、ALIS方式であれば、1つのPDP装置には4つのサステイン回路があり、各サステイン回路は4つの出力素子とドライブ回路の組がある。すなわち、1つのPDP装置で、16組の出力素子とドライブ回路の組があるので、遅延時間の合計が同じ組を16組選択する。ステップ136でその組合せの出力素子とドライブ回路を装着する。

【0035】以上の処理では、1つのPDP装置内のサステイン回路の16組の出力素子とドライブ回路の組はすべて同じ遅延時間になるように選択されるが、電力回収率を向上させるためであれば、サステイン回路毎に、出力素子31と40のオン・オフタイミングと出力素子33と37のオン・オフタイミングが所定の関係になればよい。図17は、そのような場合の製造工程における処理を示すフローチャートである。

【0036】図16のステップ131～134を行った後、ステップ141では合計遅延時間が等しい2組の出力素子とドライブ回路を選択して、第1の出力素子31と第1のドライブ回路32及び第3の出力素子40と第3のドライブ回路53として装着し、ステップ142では合計遅延時間が等しい2組の出力素子とドライブ回路を選択して、第2の出力素子33と第1のドライブ回路34及び第4の出力素子37と第4のドライブ回路54として装着する。

【0037】また、ALIS方式で誤放電を防止するためには、隣接する電極にサステインパルスを印加する時にオン・オフのタイミング差が生じないことが必要である。そのため、第1Xサステイン回路から出力されて奇数番目のX電極に印加されるサステインパルスと、第1及び第2Yサステイン回路から出力されて奇数番目及び偶数番目のY電極に印加されるサステインパルスの間にタイミングの差がなく、第2Xサステイン回路から出力されて偶数番目のX電極に印加されるサステインパルスと、第1及び第2Yサステイン回路から出力されて奇数番目及び偶数番目のY電極に印加されるサステインパルスの間にタイミングの差がないことが必要である。これは結局のところ、すべてのサステインパルスにタイミング差がないことを意味する。なお、ALIS方式のPDP装置で、誤放電を生じないタイミング差を調べたところでは、隣接する電極に印加するサステインパルスが±

30 nsのずれであれば誤放電の発生は低かった。

【0038】回路要素の遅延時間を測定して組み合わせる場合でも、装着するPDPの容量などのばらつきを考慮することが望ましい。図18は、そのような場合の製造工程における処理を示すフローチャートである。ステップ151でサステイン回路が駆動するPDPの容量を測定し、そこに装着するサステイン回路の最適遅延時間を算出する。ステップ152では、分類した出力素子とドライブ回路から最適遅延時間になる組み合わせを選択し、ステップ153で装着する。

【0039】以上、本発明の実施例を説明したが、サステインパルスの遅延に関係する回路素子が他にもある場合には、それらの遅延時間も考慮するのはいうまでもない。

【0040】

【発明の効果】以上説明したように、本発明によれば、サステイン回路におけるドライブ回路の遅延量のばらつき及び出力素子の遅延量のばらつきによるサステインパルスのオン・オフタイミング、電力回収回路の出力素子のオン・オフタイミングが最適な状態に設定できるので、電力回収率のPDP装置毎のばらつきを低減して、平均して消費電力を低減でき、PDPの動作マージンのばらつきも向上し、ALIS方式であれば誤放電発生の可能性を低減できる。

【図面の簡単な説明】

【図1】PDP装置の全体構成を示すブロック図である。

【図2】PDP装置の駆動波形を示すタイムチャートである。

【図3】電力回収回路を設けたサステイン回路の構成例を示す図である。

【図4】ALIS方式のPDP装置の全体構成を示すブロック図である。

【図5】ALIS方式の維持放電期間の駆動波形を示すタイムチャートである。

【図6】電力回収回路でのタイミングずれの影響を示す

タイムチャートである。

【図7】本発明の実施例のサステイン回路の構成を示す図である。

【図8】実施例のサステイン回路の動作を示すタイムチャートである。

【図9】本発明による消費電力低減効果を示す図である。

【図10】本発明によるALIS方式の動作マージンの向上効果を示す図である。

【図11】実施例の位相調整回路の例を示す図である。

【図12】実施例の位相調整回路の例を示す図である。

【図13】実施例の位相調整回路の例を示す図である。

【図14】位相調整回路の設定処理を示すフローチャートである。

【図15】位相調整回路でPDPのばらつきを含めて調整する時の設定処理を示すフローチャートである。

【図16】遅延時間に応じて分類したサステイン回路の回路要素を組み合わせる製造方法を示すフローチャートである。

【図17】電力回収率の向上のみを目的とした場合の製造方法を示すフローチャートである。

【図18】PDPのばらつきを含めて考慮する場合の製造方法を示すフローチャートである。

【符号の説明】

10…PDP

11…第1の電極(X電極)

11-O…奇数X電極

11-E…偶数X電極

12…第2の電極(Y電極)

12-O…奇数Y電極

12-E…偶数Y電極

13…アドレス電極

18-O…第1Xサステインパルス発生回路

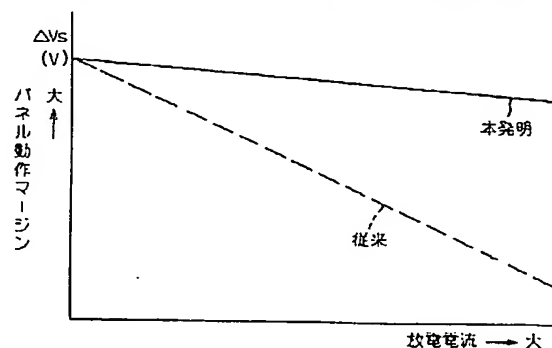
18-E…第2Xサステインパルス発生回路

19-O…第1Yサステインパルス発生回路

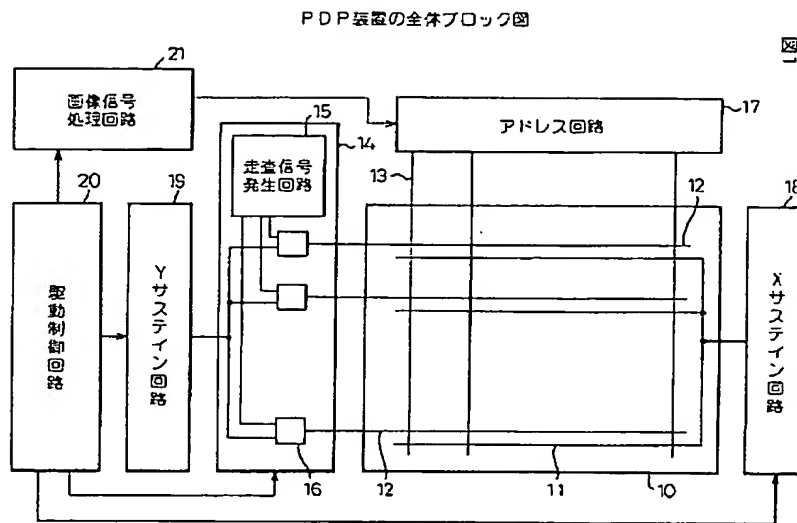
19-E…第2Yサステインパルス発生回路

【図10】

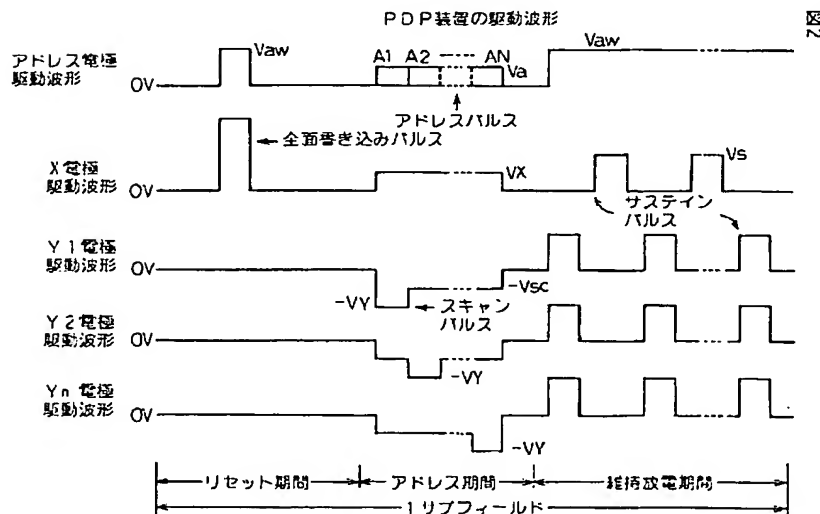
図10 本発明によるALIS方式での動作マージンの向上効果



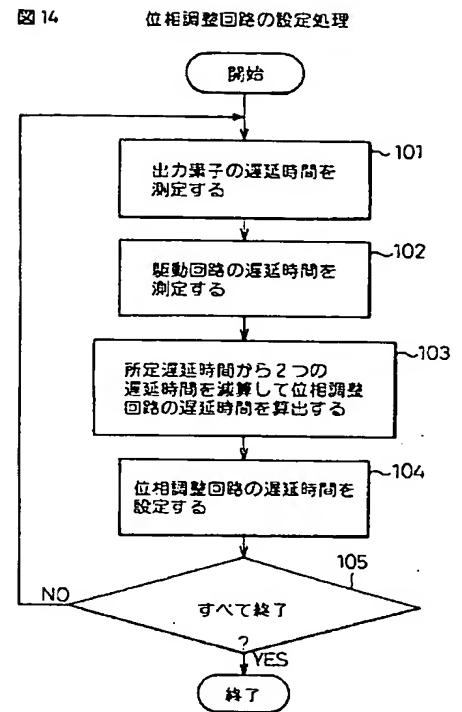
【図 1】



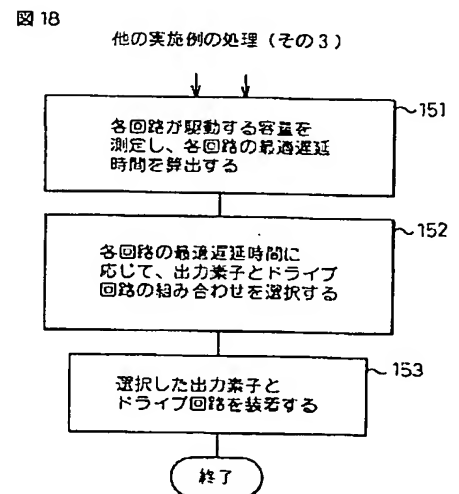
【図2】



【図14】

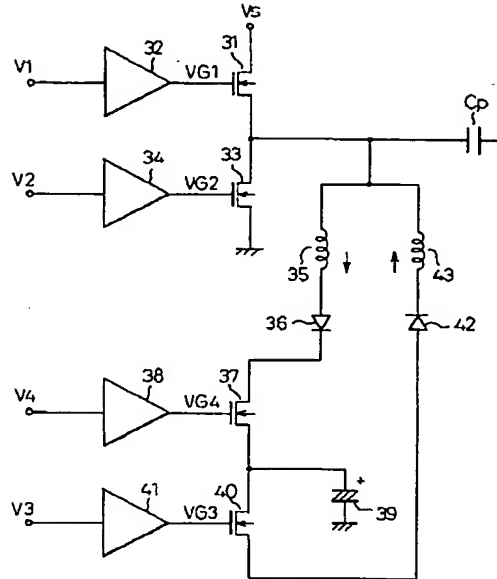


【図18】



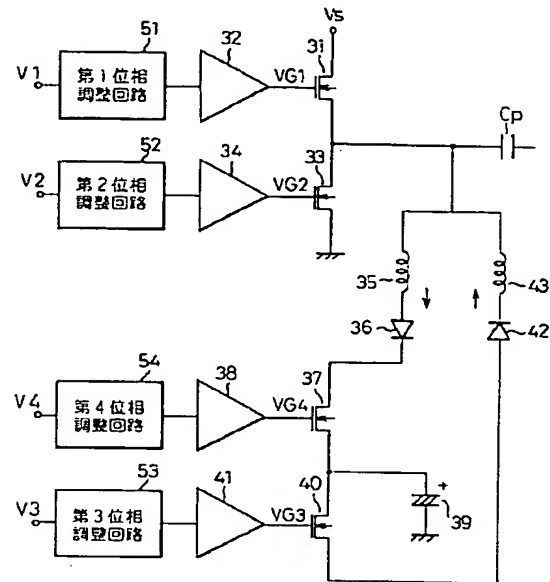
【図3】

図3 電力回収回路を設けたサステイン回路の構成例



【図7】

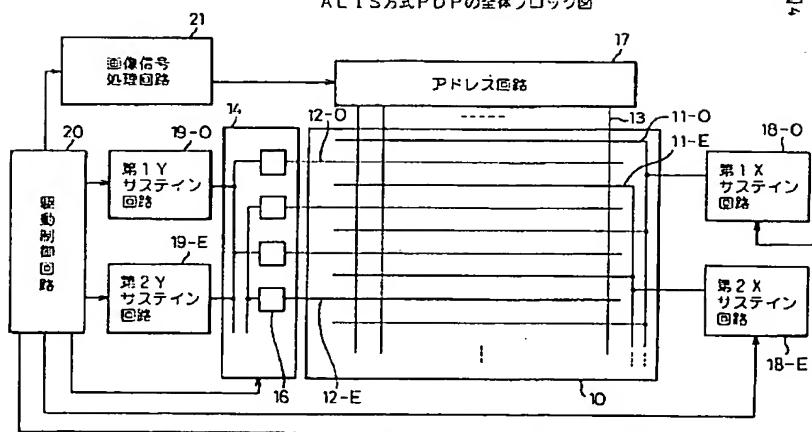
図7 本発明の実施例のサステイン回路



【図4】

ALIS方式PDPの全体ブロック図

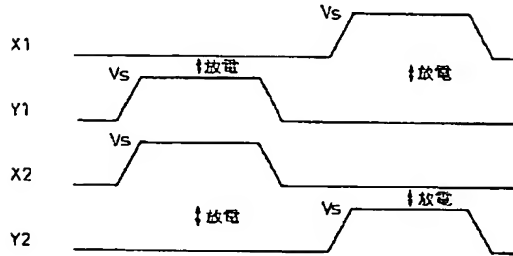
図4



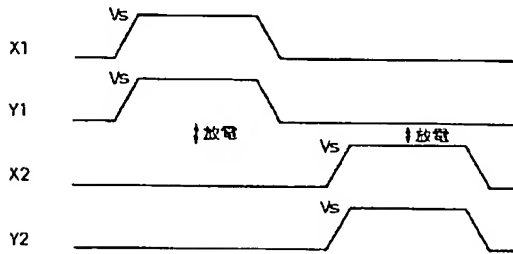
【図5】

図5 A L I S方式の維持放電期間の駆動波形

(A) 奇数フィールド



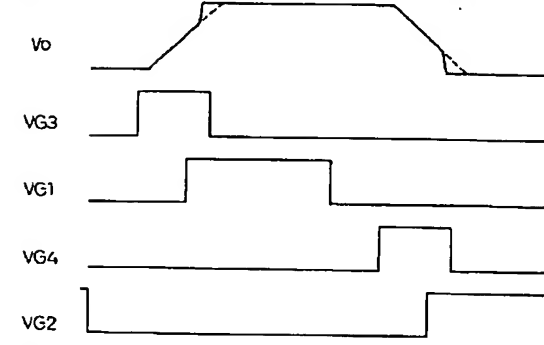
(B) 偶数フィールド



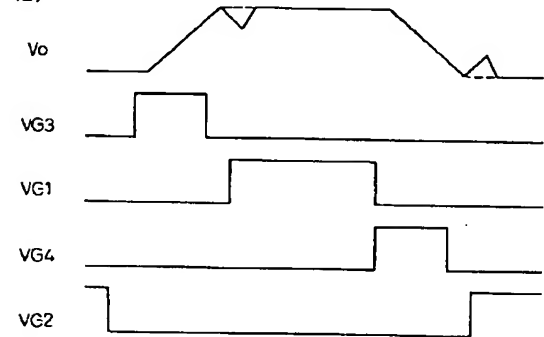
【図6】

図6 電力回収回路でのタイミングずれの影響

(A)

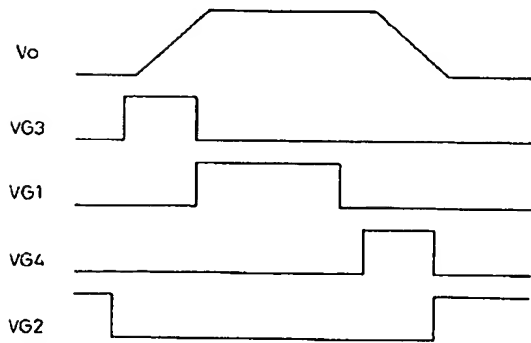


(B)



【図8】

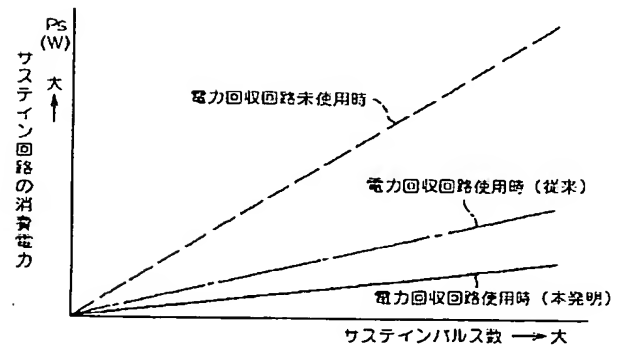
図8 実施例のリステイン回路の動作



【図9】

本発明による消費電力低減効果

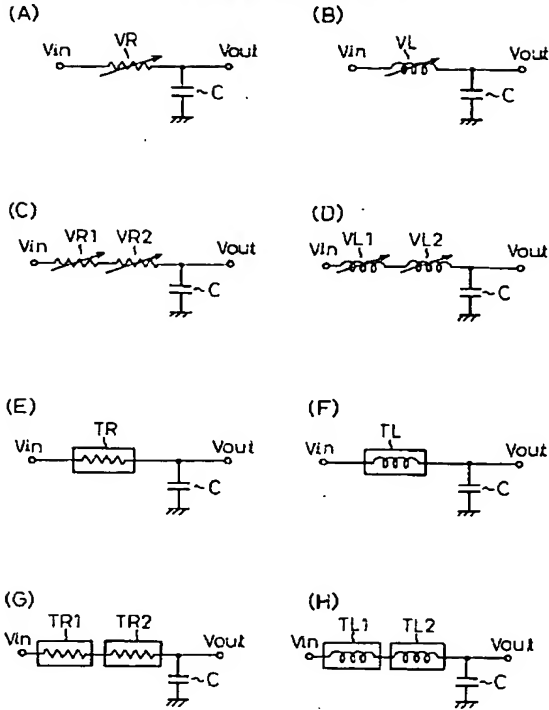
図9



【図11】

図11

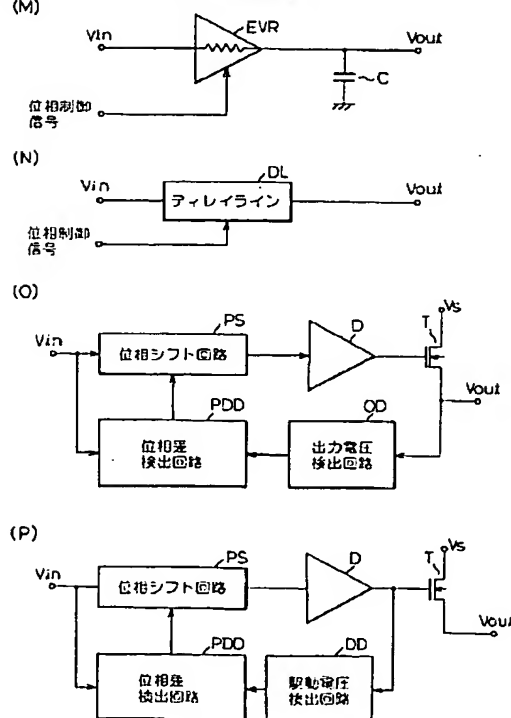
実施例の位相調整回路例



【図13】

図13

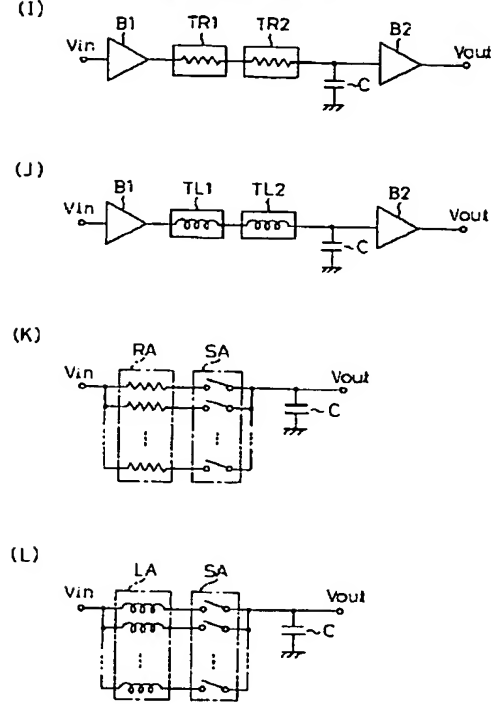
実施例の位相調整回路例



【図12】

図12

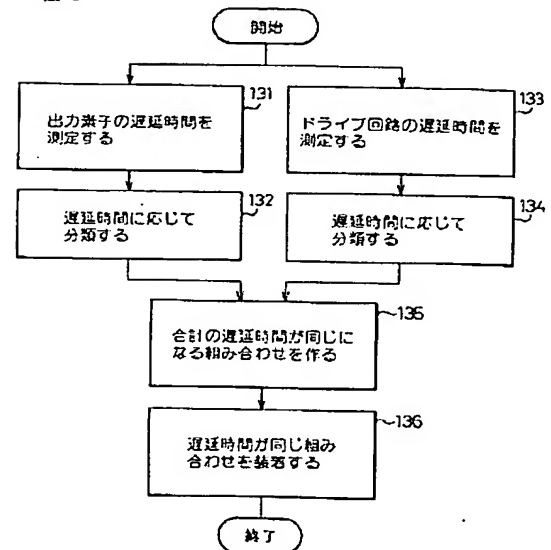
実施例の位相調整回路例



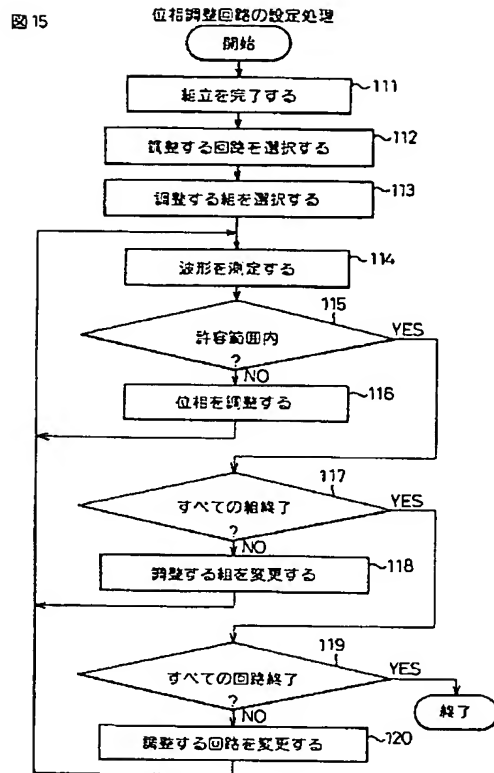
【図16】

図16

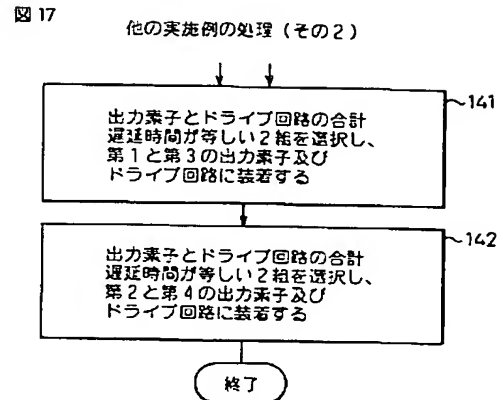
他の実施例の処理(その1)



【図15】



【図17】



【手続補正書】

【提出日】平成12年7月18日（2000. 7. 18）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイ装置及びその製造方法に関し、特に消費電力を低減するためにサステイン回路に電力回収回路を有するプラズマディスプレイ装置、及び複数の第1及び第2の電極を隣接して配置し、すべての電極間で表示ラインを形成するALIS方式のプラズマディスプレイパネルの駆動

方法及びプラズマディスプレイ装置に関する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】一方、PDP装置では高精細化が求められており、特許第2801893号はすべての表示電極間で表示のための発光を行う方式を開示している。この方式はALIS方式と呼ばれるので、ここでもこの語を使用する。ALIS方式の詳細な構成は特許第2801893号に開示されており、ここでは本発明に関係する点についてのみ簡単に説明する。

フロントページの続き

(51)Int. Cl.

G09G 3/20

識別記号

624

F I

G09G 3/28

ターマード（参考）

E

(72)発明者 石渡 健司
神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内
(72)発明者 桑原 武
神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内
(72)発明者 金澤 義一
神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内

(72)発明者 木村 賢嗣
神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内
(72)発明者 大貫 英則
神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内
(72)発明者 大野 泰三
宮崎県東諸県郡国富町大字田尻1815番地の
1 九州エフエイチピー株式会社内
Fターム(参考) 5C080 AA05 BB05 DD26 HH02 HH04
HH05 JJ02 JJ03 JJ04 JJ05
JJ07